

(9) Japanese Patent Application Laid-Open No. 10-32266 (1998):
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

A method of manufacturing a SRAM comprising a step of forming a nitride silicon (Si_3N_4) film 2 on an oxide silicon film 22 on a gate electrode 16 on a bulk substrate using the pressure reducing CVD.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32266

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8244		H 0 1 L 27/10	3 8 1
	27/11		27/08	3 2 1 K
	21/8238			
	27/092			

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平8-187602

(22) 出願日 平成8年(1996) 7月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 吉原 郁夫

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

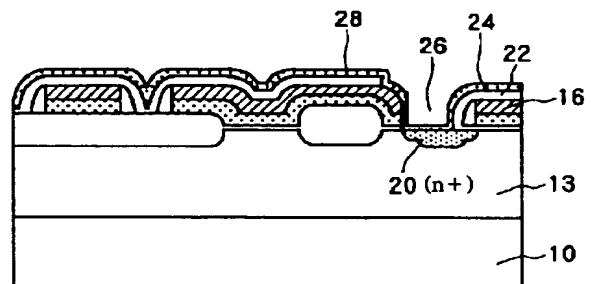
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高抵抗負荷素子の下層に形成する窒化シリコン膜の形成温度を最適化することにより下層酸化シリコン膜の緻密化のための熱処理工程を削減することができ、しかもコンタクトホールにおいて接続すべきでない下層のゲート電極に対して十分な耐圧を有する半導体装置の製造方法を提供すること。

【解決手段】 半導体基板10の上に形成されたトランジスタのゲート電極16の上に、酸化シリコン膜22を形成する工程と、酸化シリコン膜22上に窒化シリコン膜24を形成することにより、酸化シリコン膜22を緻密化する工程と、窒化シリコン膜24および酸化シリコン膜22に、半導体基板10の表面に臨むコンタクトホール26を形成する工程と、コンタクトホール26の底部に露出する半導体基板の表面に形成された酸化シリコン薄膜を除去するために、ライトエッチングを行う工程と、コンタクトホール26内に入り込むように、窒化シリコン膜26の上に、抵抗負荷素子層となる半導体層28を形成する工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体基板の上に形成されたトランジスタのゲート電極の上に、酸化シリコン膜を形成する工程と、

前記酸化シリコン膜上に窒化シリコン膜を形成することにより、酸化シリコン膜を緻密化する工程と、

前記窒化シリコン膜および酸化シリコン膜に、半導体基板の表面に臨むコンタクトホールを形成する工程と、

前記コンタクトホール内に入り込むように、前記窒化シリコン膜の上に、抵抗負荷素子層となる半導体層を形成する工程とを具備する半導体装置の製造方法。

【請求項2】 前記窒化シリコン膜の形成温度が700℃以上である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記コンタクトホール形成工程後、抵抗負荷素子層を形成する前に、前記コンタクトホールの底部に露出する半導体基板の表面に形成された酸化シリコン薄膜を除去するために、ライトエッチングを行う工程を有する請求項1に記載の半導体装置の製造方法。

【請求項4】 前記ライトエッチングがフッ酸を含む溶液を用いて行われることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記コンタクトホールの形成に際して、シェアード・コンタクトを得るために、前記ゲート電極の一部も露出するようにコンタクトホールが形成されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 半導体基板表面に挑むコンタクトホールを形成すると共に、ゲート電極を構成する配線層表面に挑むコンタクトホールを形成する工程を有する請求項1に記載の半導体装置の製造方法。

【請求項7】 前記半導体基板の上に形成されるトランジスタが、SRAMの駆動トランジスタと選択トランジスタとであり、前記抵抗負荷素子層と成る半導体層が、SRAMの負荷抵抗である請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえば高抵抗負荷型SRAMなどのように、MISTランジスタ(MOSTランジスタ含む)と抵抗負荷素子とを有する半導体装置を製造するための方法に係り、さらに詳しくは、高抵抗負荷素子の下層に形成する窒化シリコン膜の形成温度を最適化することにより、下層の酸化シリコン膜の緻密化のための熱処理工程を削減することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】0.35μmSRAMの商品需要としては、低消費電力タイプよりも高速動作タイプが圧倒的に多くなっている。従って、負荷素子としてはTFTを用

いる必要は無く、抵抗素子としての機能で充分であり、コスト削減を行うため従来の高抵抗負荷が再度脚光を浴びつつある。

【0003】このような高速動作に適したMOSTランジスタの開発と工程削減によるコスト低減の両立は、高抵抗負荷型SRAMに商品競争力をつけるためには、非常に重要である。高速SRAMは、高速化のために、電流駆動能力の高いMOSTランジスタを使用する。したがって、ゲート長の縮小化や低しきい値電圧化が積極的に進められた結果、ショートチャネル効果が顕著になっている。ショートチャネル効果を抑制するには、図13に示すように、MOSTランジスタにかかる合計熱量を削減することが非常に有効である。

【0004】なお、図13において、横軸がMOSTランジスタのゲート長であり、縦軸がMOSTランジスタのしきい値電圧 V_{th} であり、製造過程での合計熱処理が少ない程、MOSTランジスタの実効的なゲート長が長くなり、短チャネル効果に対して強くなる。

【0005】高抵抗負荷型SRAMは、一般的にメモリ・セルを構成する駆動トランジスタ、選択トランジスタ、周辺回路のMOSTランジスタ等のように、シリコン基板上にソース/ドレイン領域を有するMOSTランジスタが形成され、その上に高抵抗負荷素子となる半導体層が形成されている。

【0006】この半導体層は、半導体基板に直接接続するコンタクト領域を覆って、CVDにより形成するポリシリコンで構成されるため、CVD前の前処理として、半導体基板上に形成された自然酸化膜を除去するためのライト・エッチングが必要になる。

【0007】

【発明が解決しようとする課題】しかし、ライト・エッチングにより層間絶縁膜のエッチングを抑制するには、図14(A)に示すように、ゲート電極と成るポリシリコン層4の上に層間絶縁膜5を形成した後に、層間絶縁膜5を緻密化するためのアニールとして850℃前後の熱処理が必要であることが知られている。

【0008】もしアニールをしないでライト・エッチングを行うと、図14(B)に示すように、コンタクトホール領域2の層間絶縁膜5aがエッチングされ、下地のポリシリコン層4との耐圧不良が発生するおそれがある。なお、図14(A)は、層間絶縁膜5を緻密化した後に、コンタクトホール領域2を形成した場合であり、下層のポリシリコン層4との耐圧が十分である。

【0009】高抵抗負荷型のSRAMとしては、抵抗値の変動を抑えるために、従来技術である特開昭63-128733公報に示すように、スクライブ上のチップ端部にA1配線を残す技術が必要になる。特に、高抵抗負荷素子の上にも窒化シリコン膜を形成して高抵抗負荷素子への水素、水分、可動イオンの侵入を抑制して抵抗値の変動を抑えている。

【0010】なお、高抵抗負荷素子の下層にも窒化シリコン膜を形成することは、高抵抗素子の抵抗値の変動抑制に非常に有効である。本発明は、このような実状に鑑みてなされ、高抵抗負荷素子の下層に形成する窒化シリコン膜の形成温度を最適化することにより下層酸化シリコン膜の緻密化のための熱処理工程を削減することができ、しかもコンタクトホールにおいて接続すべきでない下層のゲート電極に対して十分な耐圧を有する半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板の上に形成されたトランジスタのゲート電極の上に、酸化シリコン膜を形成する工程と、前記酸化シリコン膜上に窒化シリコン膜を形成することにより、酸化シリコン膜を緻密化する工程と、前記窒化シリコン膜および酸化シリコン膜に、半導体基板の表面に臨むコンタクトホールを形成する工程と前記コンタクトホール内に入り込むように、前記窒化シリコン膜の上に、抵抗負荷素子層となる半導体層を形成する工程とを具備する。

【0012】前記窒化シリコン膜の形成温度が700°C以上、好ましくは730~800°Cであることが好ましい。この温度が700°Cよりも小さい場合には、下層の酸化シリコン膜の膜質の緻密化が十分でなくなる傾向にあり、一方、800°Cより高い温度で熱処理することは、窒化膜のCVD膜厚の制御が困難であることから実用的ではない。

【0013】前記コンタクトホールの底部に露出する半導体基板の表面に形成された酸化シリコン薄膜を除去するために、ライトエッチングを行うことが好ましい。前記ライトエッチングは、たとえばフッ酸を含む溶液を用いて行われる。前記コンタクトホールの形成に際して、シェアード・コンタクトを得るために、前記ゲート電極の一部も露出するようにコンタクトホールが形成されても良い。

【0014】また、ゲート電極を構成する配線層にもコンタクトホールを開口し、ゲート電極と抵抗素子とを直接接続するベリッドコンタクトと呼ばれる手法を用いてもよい。前記半導体基板の上に形成されるトランジスタは、たとえばSRAMの駆動トランジスタと選択トランジスタとであり、前記抵抗負荷素子層と成る半導体層が、SRAMの負荷抵抗である。

【0015】本発明に係る半導体装置の製造方法では、酸化シリコン膜の上に窒化シリコン膜を形成し、その際に、窒化シリコン膜の形成温度を最適化することにより、下層酸化シリコン膜の緻密化のための熱処理を兼ねさせることが可能になる。したがって、別途、酸化シリコン膜の緻密化のための熱処理工程を行うことが不要になる。その結果、製造工程の削減に寄与すると同時に、製造時の合計熱処理量が小さくなり、MOSトランジ

スタの実効的なゲート長が長くなり、短チャネル効果に対して強くなる。

【0016】なお、本発明では、酸化シリコン膜が緻密化されるので、コンタクトホールにおいて接続すべきでない下層のゲート電極に対して十分な耐圧を有する。また、本発明では、窒化シリコン膜を高抵抗負荷素子の下層に形成することで、高抵抗負荷素子の抵抗値の変動抑制に非常に有効である。

【0017】

10 【発明の実施の形態】以下、本発明に係る半導体装置の製造方法を、図面に示す実施形態に基づき、詳細に説明する。まず、高抵抗負荷型SRAMのメモリセルの等価回路図を図10に示す。

【0018】図10に示すように、SRAMのメモリセルは、一対の駆動トランジスタ T_1 、 T_2 で構成されるフリップフロップ回路と、各駆動トランジスタ T_1 、 T_2 の記憶ノード部 N_1 、 N_2 にそれぞれ電気的に接続される一対の負荷抵抗素子 R_1 、 R_2 とを有する。記憶ノード部 N_1 、 N_2 は、選択トランジスタ T_3 、 T_4 を介して、それぞれビット線 b および反転ビット線 b' に接続してある。

【0019】選択トランジスタ T_3 、 T_4 のゲート電極は、ワード線 W を兼ねている。このようなSRAMのメモリセルでは、記憶ノード部 N_1 、 N_2 において、高抵抗負荷素子 R_1 、 R_2 と、トランジスタ T_1 ~ T_4 のソース・ドレイン領域と、トランジスタ T_3 、 T_4 のゲート電極とを接続する必要があることから、半導体装置の製造過程において、後述するようなシェアード・コンタクトが採用されている。

30 【0020】次に、本発明の一実施形態に係る半導体装置としてのSRAMの製造方法について説明する。以下の説明では、SRAMのメモリセルのうちの主要部（シェアード・コンタクト周辺部分）のみを図示し、その製造過程を説明する。

【0021】図1に示すように、まず、半導体基板10上に、たとえば350nmの膜厚の素子分離領域12を、窒化シリコン膜によるLOCOS法を用いて形成する。半導体基板10としては、たとえばシリコン単結晶ウェーハが用いられる。次に、図2に示すように、P型不純物領域であるPウェル領域13を、ボロンのイオン注入により形成する。その後、素子分離領域12の間に位置する半導体基板10の表面に、ゲート絶縁膜14を形成する。ゲート絶縁膜14は、たとえば酸化シリコン膜で構成され、熱酸化法などで成膜される。ゲート絶縁膜14の膜厚は、特に限定されないが、たとえば8nm程度である。

【0022】次に、ゲート絶縁膜14の上に、MOSトランジスタのゲート電極16となるポリシリコン層を形成する。本実施形態では、ゲート電極16は、ポリサイド層（ポリシリコン層とシリサイド層との積層構造）で

あり、ポリシリコン層120nmと、タングステン・シリサイド層120nmを順次積層させて形成する。

【0023】本実施形態では、SRAMの例について説明するので、図10に示すSRAMメモリ・セルの駆動トランジスタ T_1 、 T_2 および選択トランジスタ T_1 、 T_2 と、図示しない周辺回路のMOSトランジスタのゲート電極を、上記のポリサイド層で形成する。次に、このゲート電極16を所定パターンにエッチング後、ソース・ドレイン領域と成る部分に、ひ素などのN型不純物をイオン注入してLDD領域（低濃度拡散層）18を形成する。

【0024】次に、図3に示すように、酸化シリコン膜からなる層間絶縁膜をたとえば300nmの厚さ形成し、RIEなどの異方性エッチングにより、ゲート電極16の側部にサイドウォール19を形成する。その後、ひ素などのN型不純物をイオン注入してソース／ドレイン領域20（高濃度拡散層）を形成する。このイオン注入時の条件は特に限定されないが、たとえば注入エネルギーは、20keV程度であり、ドーズ量は、 $2 \times 10^{15} / \text{cm}^2$ である。

【0025】次に、図4に示すように、酸化シリコン膜22を約100nmの厚さで形成する。なお、ここで、従来では、酸化シリコン膜22を緻密化するために、約850℃、15分のアニールが必要であった。しかし、本実施形態では、このアニール工程を削減して、酸化シリコン膜22の上に、窒化シリコン（Si₃N₄）膜24を減圧CVDにより形成する。Si₃N₄膜24は、水分、水素、可動イオンのストッパーとして効果があり、さらに下地の酸化シリコン膜の層間耐圧を保証する上でも重要である。

【0026】本実施形態では、窒化シリコン膜24は、低圧（LP）-CVDにより、2～5時間わたって700℃以上の熱を加えて、約5～30nmの厚さで形成される。このような熱を加えて窒化シリコン膜24を成膜することで、下層の酸化シリコン膜22の緻密化が達成される。

【0027】次に、図5に示すように、図10に示す記憶ノード N_1 、 N_2 となるソース・ドレイン領域20に向けて、窒化シリコン膜22および酸化シリコン膜22を所定パターンでエッチングし、コンタクトホール26を形成する。本実施形態では、このコンタクトホール26は、図10に示す記憶ノード N_1 、 N_2 の部分に形成されるコンタクトホールであり、選択トランジスタ T_1 、 T_2 のゲート電極に対して接続されなければならないことから、シェアード・コンタクトである。なお、ソース・ドレイン20に対するコンタクトホールとワード線に対するコンタクトホールを同時に形成し、これらを接続するようにしてもよい。

【0028】次に、コンタクトホール26の内部、特に、半導体基板10上の自然酸化膜を除去するためにラ

イト・エッチングを行う。このライト・エッチング時に、下地の酸化シリコン膜22の緻密化熱処理が充分でないと、図12に示すように、窒化シリコン膜24の下地の酸化シリコン膜がサイド・エッチングされ、ゲート電極16aに対して層間耐圧不良を起こす危険性がある。たとえば図11に示すように、酸化シリコン膜22の熱処理温度（横軸）と、バッファードフッ酸（HF：NH₄Fとの比が1：400）による酸化シリコン膜22のエッチング速度（縦軸）とは、一定の関係があり、アニール時間を一定とした場合に（図11の場合アニール時間は10分）熱処理温度が高くなるほど、エッチング速度が低下する。これは、酸化シリコン膜の膜質が緻密化するためと考えられる。したがって、酸化シリコン膜22が十分に熱処理されていない場合には、図12に示すように、窒化シリコン膜24の下地の酸化シリコン膜がサイド・エッチングされ、ゲート電極16aに対して層間耐圧不良を起こす危険性がある。なお、ライトエッチングで用いることができるのは、例えば弗酸を含む溶液であり、その濃度はHF：H₂O＝1：100～1：200程度でも良く、制限されるものではない。

【0029】一方、酸化シリコン膜22の緻密化のための熱処理工程と、抵抗負荷の抵抗値変動および耐圧確保のために窒化シリコン膜24の形成工程との両方の工程を別々に行うことは、図13に示すように、合計熱処理量が多くなり、短チャネル効果に対して非常に不利である。一方、コスト削減という観点からも得策では無い。

【0030】本実施形態では、酸化シリコン膜22の上に窒化シリコン膜24を形成し、その際に、窒化シリコン膜24の形成温度を最適化することにより、下層酸化シリコン膜22の緻密化のための熱処理を兼ねさせることが可能になる。したがって、別途、酸化シリコン膜22の緻密化のための熱処理工程を行うことが不要になる。その結果、製造工程の削減に寄与すると同時に、製造時の合計熱処理量が小さくなり、MOSトランジスタの実効的なゲート長が長くなり、短チャネル効果に対して強くなる。

【0031】なお、本実施形態では、酸化シリコン膜22が緻密化されるので、図12のようには成らず、図5に示すようになり、コンタクトホール26において接続すべきでない下層のゲート電極16aに対して十分な耐圧を有する。また、本発明では、窒化シリコン膜を高抵抗負荷素子の下層に形成することで、高抵抗負荷素子の抵抗値の変動抑制に非常に有効である。

【0032】次に、本実施形態では、図6に示すように、ライト・エッチングの後に高抵抗負荷素子となる半導体層としてのポリシリコン層28を、例えば50nmの厚さでCVDにより形成する。次に、高抵抗負荷素子の抵抗値を決定するAsをポリシリコン層28の全面にイオン注入する。その後、図7に示すように、RIEによりポリシリコン層28をパターニングし、レジスト・

10

20

30

40

50

パターンを形成して選択的にA sをポリシリコン層28にイオン注入して電源ラインVcc(図10参照)を形成する。

【0033】図8に示すように、層間絶縁膜としてシリコン酸化膜30を成膜し、その上に、水分、水素、可動イオンのストッパーとして働く窒化シリコン膜を、約5〜30nmの厚さでCVDなどで形成する。その後、図9に示すように、平坦化膜としてBPSG層34を500nm程度の厚さで形成した後、リフローにより平坦化した後、図示はしないが金属配線層のコンタクト領域を形成した後、金属配線層36を形成する。この金属配線層36は例えば、バリアメタル層とCuを含有するAl配線層で形成する。この金属配線層36が、ビット線などになる。

【0034】次に、層間絶縁膜38の形成後、図示はしないが2層目のAl配線層を形成後、プラズマCVDによりオーバーコート膜となる窒化シリコン膜(SiN膜)を形成する。本実施形態では、前述したように、酸化シリコン膜の緻密化のための熱処理工程と、抵抗負荷の抵抗値変動および耐圧確保のための窒化シリコン膜の形成工程との両方の工程を別々には行わないので、ショートチャネル効果(短チャネル効果)に対して非常に有利である。一方、コスト削減という観点からも非常に有利である。そのため、ターンアラウンドタイム(TAT)も短縮可能である。

【0035】なお、本発明は、上述した実施形態に限定されるものではなく、本発明の範囲内で種々に改変することができる。たとえば、上述した実施形態では、抵抗負荷は高抵抗負荷の例で説明したが、薄膜トランジスタ(TFT)を抵抗素子として用いてもよい。また、SRAMの製造方法として説明したが、SRAM以外にも、MISTランジスタ(MOSTランジスタ含む)と抵抗負荷素子とを有する半導体装置を製造する際の技術として広く適用することができる。また、上述した実施形態の半導体不純物の導電型や製造条件は、あくまでも一例であり、本発明では、種々に改変することができる。

【0036】

【発明の効果】以上説明してきたように、本発明に係る半導体装置の製造方法によれば、酸化シリコン膜の上に窒化シリコン膜を形成し、その際に、窒化シリコン膜の形成温度を最適化することにより、下層酸化シリコン膜の緻密化のための熱処理を兼ねさせることが可能になる。したがって、別途、酸化シリコン膜の緻密化のための熱処理工程を行うことが不要になる。その結果、製造

工程の削減に寄与すると同時に、製造時の合計熱処理量が小さくなり、MOSTランジスタの実効的なゲート長が長くなり、短チャネル効果に対して強くなる。

【0037】なお、本発明では、酸化シリコン膜が緻密化されるので、コンタクトホールにおいて接続すべきでない下層のゲート電極に対して十分な耐圧を有する。また、本発明では、窒化シリコン膜を高抵抗負荷素子の下層に形成することで、高抵抗負荷素子の抵抗値の変動抑制に非常に有効である。

【図面の簡単な説明】

【図1】図1は本発明の一実施形態に係るSRAMの製造過程を示す要部断面図である。

【図2】図2は図1の続きの工程を示す要部断面図である。

【図3】図3は図2の続きの工程を示す要部断面図である。

【図4】図4は図3の続きの工程を示す要部断面図である。

【図5】図5は図4の続きの工程を示す要部断面図である。

【図6】図6は図5の続きの工程を示す要部断面図である。

【図7】図7は図6の続きの工程を示す要部断面図である。

【図8】図8は図7の続きの工程を示す要部断面図である。

【図9】図9は図8の続きの工程を示す要部断面図である。

【図10】図10はSRAMのメモリセルの等価回路図である。

【図11】図11はアニール熱処理と酸化シリコン膜のエッチング速度との関係を示すグラフである。

【図12】図12は酸化シリコン膜の緻密化が不十分な場合の要部断面図である。

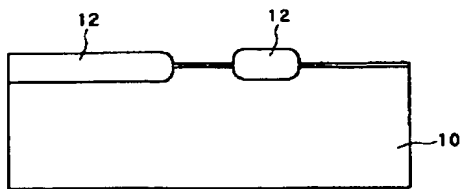
【図13】図13は合計熱処理とMOSTランジスタのゲート長とVthとの関係を示すグラフである。

【図14】図14(A)、(B)は従来例に係るSRAMの製造過程を示す要部断面図である。

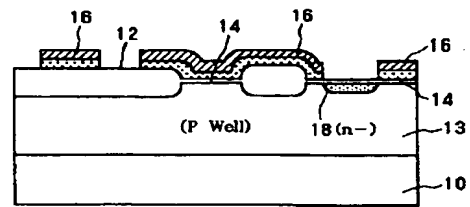
【符号の説明】

10… 半導体基板、12… 素子分離領域、16… ゲート電極、20… ソース・ドレイン領域、22… 酸化シリコン膜、24… 窒化シリコン膜、26… コンタクトホール、28… ポリシリコン層(半導体層)。

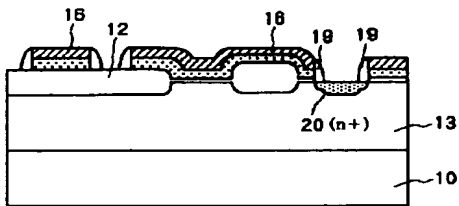
【図1】



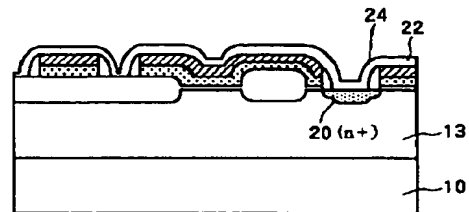
【図2】



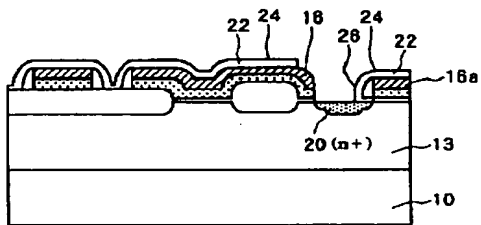
【図3】



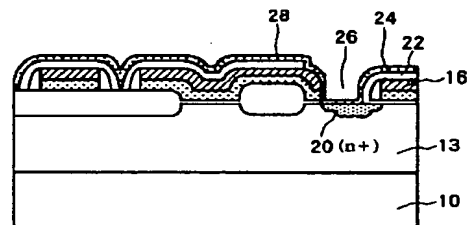
【図4】



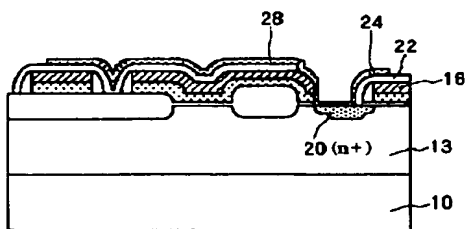
【図5】



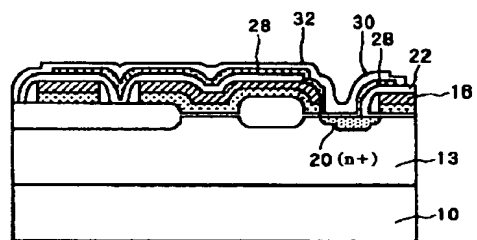
【図6】



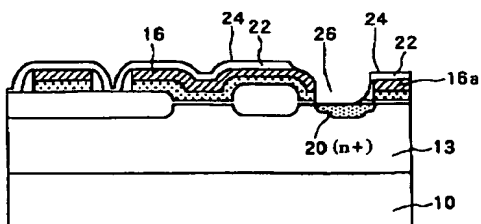
【図7】



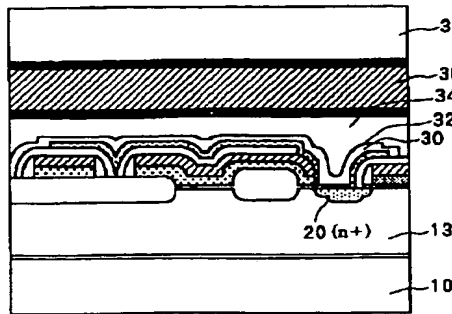
【図8】



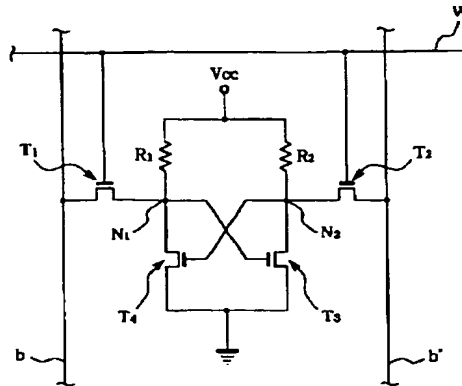
【図12】



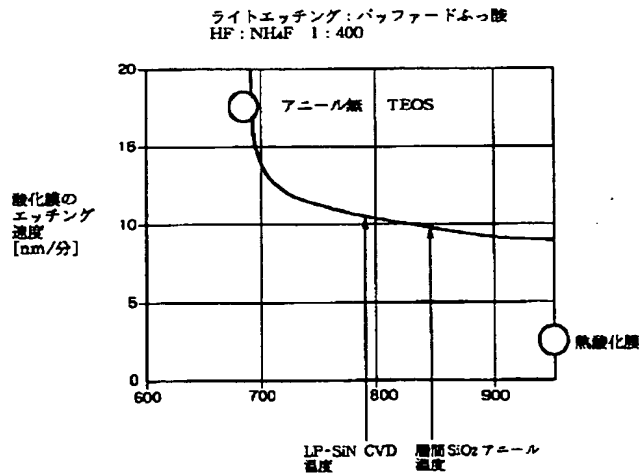
【図9】



【図10】

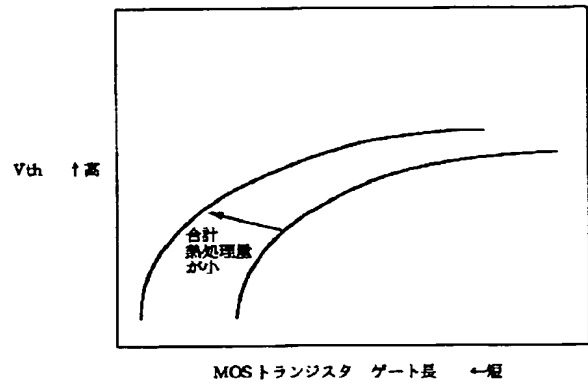


【図11】



【図13】

合計熱処理量とショートチャネル効果の関係



【図14】

